

Packaging process of ultra-thin flip chip electronic device

Patent number: TW504819B
Publication date: 2002-10-01
Inventor: BAU JR-MIN (TW); TSAI YU-BIN (TW); YANG JAU-CHIN (TW); JOU HUEI-LUNG (TW)
Applicant: ADVANCED SEMICONDUCTOR ENG (TW)
Classification:
- international: **H01L23/28; H01L23/28; (IPC1-7): H01L23/28**
- european:
Application number: TW20010129970 20011204
Priority number(s): TW20010129970 20011204

[Report a data error here](#)

Abstract of TW504819B

The present invention provides a packaging process of ultra-thin flip chip electronic device, which comprises sequentially the steps of: a crystal connection step to connect a crystal and a substrate electrically, a crystal cleaning step to reduce the thickness of the crystal by polishing the crystal from one of the surface toward the substrate direction for a predetermined thickness, and a protecting encapsulation step to connect to the substrate by plural molding compounds, so that the crystal and the substrate are encapsulated in a body and are isolated from the exterior. By the thinning step of the crystal, the thickness of the crystal is greatly reduced to achieve the purpose of making the electronic device lighter and thinner.

Data supplied from the **esp@cenet** database - Worldwide

中華民國專利公報 [19] [12]

[11]公告編號：504819

[44]中華民國 91年(2002) 10月01日
發明

全 6 頁

[51] Int.Cl⁰⁷ : H01L23/28

[54]名稱：超薄型覆晶電子元件之封裝製程

[21]申請案號：090129970

[22]申請日期：中華民國 90年(2001) 12月04日

[72]發明人：

鮑治民

高雄縣橋頭鄉頂鹽村通德路二十一巷一號

蔡裕斌

高雄市楠梓區後昌路四十七巷三十七之一號

楊朝欽

臺南市友愛街二〇一巷三號

周惠隆

高雄縣鳳山市新民街六十二號

[71]申請人：

日月光半導體製造股份有限公司

高雄市楠梓加工區經三路二十六號

[74]代理人：俾鐵群先生

陳文郎先生

1

2

[57]申請專利範圍：

- 1.一種超薄型覆晶電子元件之封裝製程，是依序包含：
 - 一晶體連結步驟，是將一具有一基面及一與該基面反向之電性作動面的晶體，以該電性作動面朝向一基板之一上表面並與該基板形成電性連結；
 - 一晶體薄化步驟，是將該與基板電性連結之晶體，分別自該基面向該電性作動面方向移除一預定厚度，使該晶體的厚度減少；及
 - 一保護封膠步驟，是以一封裝膠體連結在該經過晶體薄化步驟之基板上，且與該基板共同相對應地將電性連結在該基板上之晶體包覆成一體，而使該晶體與外界相阻隔。
- 2.如申請專利範圍第1項所述之一種超薄型覆晶電子元件之封裝製程，其中，該晶體連結步驟，是以多數電性連結件將該晶體與該基板形成電性連結，並以一可凝固之非導電性膠填滿該晶體與該基板間之空隙，使該晶體與該基板間不產生電性干擾，且當該非導電性膠凝固後是可分散該晶體電性連結後所產生之應力，使該晶體受力平均而不毀損。
- 3.如申請專利範圍第2項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬球。
- 4.如申請專利範圍第2項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬凸塊。
- 5.如申請專利範圍第1項所述之一種超薄型覆晶電子元件之封裝製程，其中，該晶體薄化步驟，是以機械研磨方式自該晶體之基面向該電性作動面方向研磨移除一預定厚度，使該晶體的厚度減少。

- 6.如申請專利範圍第1項所述之一種超薄型覆晶電子元件之封裝製程，其中，該晶體薄化步驟，是以雷射切削方式自該晶體之基面向該電性作動面方向移除一預定厚度，使該晶體的厚度減少。
- 7.一種超薄型覆晶電子元件之封裝製程，是依序包含：
- 一晶體連結步驟，是將一具有一基面及一反向於該基面之電性作動面之第一晶體，以該電性作動面朝向一基板之上表面並與該基板形成電性連結；
 - 一薄化步驟，是將經過該晶體連結步驟後與該基板電性連結之第一晶體，自該第一晶體之基面向該電性作動面方向移除一預定厚度，使該第一晶體的厚度減少；
 - 一重複步驟，是將一具有一基面及一反向於該基面之電性作動面之第二晶體，以該電性作動面朝向該第一晶體並由該第一晶體反向於該基板向上堆疊，且與該基板電性連結成一體，並自該第二晶體之基面向該電性作動面方向移除一預定厚度，使該第二晶體的厚度減少；及
 - 一保護封膠步驟，是以一封裝膠體連結在該經過堆疊步驟之基板上，且與該基板共同相對應地將電性連結在該基板上之第一晶體與第二晶體包覆成一體，而使該等晶體與外界相阻隔。
- 8.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，其中，該晶體連結步驟，是以多數電性連結件將該第一晶體分別與該基板形成電性連結，並以一可凝固之非導電性膠填滿該第一晶體與該基板間之空隙，使該第一晶體與該基板間不產生電性干擾，且當該非導

- 電性膠凝固後是可分散該第一晶體電性連結後所產生之應力，使該第一晶體受力平均而不毀損。
- 9.如申請專利範圍第8項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬球。
- 10.如申請專利範圍第8項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬凸塊。
- 11.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，其中，該重複步驟是以多數電性連結件將該第二晶體分別與該基板形成電性連結，並以一可凝固之非導電性膠填滿該第一晶體與該第二晶體間，及該第二晶體與基板間之空隙，使該第一晶體與該第二晶體間，及該第二晶體與基板間不產生電性干擾，且當該非導電性膠凝固後是可分散該第二晶體電性連結後所產生之應力，使該第二晶體受力平均而不毀損。
- 12.如申請專利範圍第11項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬球。
- 13.如申請專利範圍第11項所述之一種超薄型覆晶電子元件之封裝製程，其中，該等電性連結件分別是一金屬凸塊。
- 14.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，其中，該薄化步驟是以機械研磨方式自該第一晶體之基面向該電性作動面方向研磨移除一預定厚度，使該第一晶體的厚度減少。
- 15.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，

其中，該薄化步驟是以雷射切削方式自該第一晶體之基面向該電性作動面方向移除一預定厚度，使該第一晶體的厚度減少。

- 16.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，其中，該重複步驟是可將與該基板電性連結之第二晶體，以機械研磨方式自該第二晶體之基面向該電性作動面方向研磨移除一預定厚度，使該第二晶體的厚度減少。
- 17.如申請專利範圍第7項所述之一種超薄型覆晶電子元件之封裝製程，其中，該重複步驟是可將與該基板電性連結之第二晶體，以雷射切削方式自該第二晶體之基面向該電性作動面方向研磨移除一預定厚度，使該第二晶體的厚度減少。

圖式簡單說明：

第一圖是一習知之覆晶粒電子元件封裝製程之流程圖；

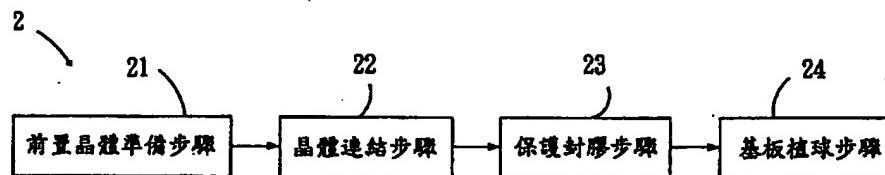
第二圖是以第一圖之覆晶粒電子元件封裝製程所封裝之一電子元件之一剖視圖；

第三圖是本發明之超薄型覆晶電子元件之封裝製程之一第一較佳實施例之流程圖；

第四圖是以第三圖之覆晶粒電子元件封裝製程所封裝之一電子元件之一剖視圖；

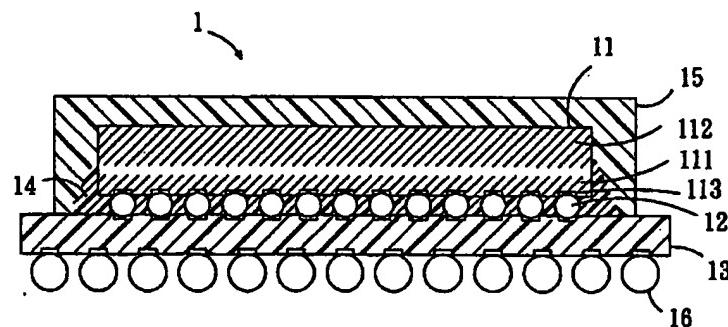
第五圖是本發明之超薄型覆晶電子元件之封裝製程之一第二較佳實施例之流程圖；及

第六圖是以第五圖之覆晶粒電子元件封裝製程所封裝之一電子元件之一剖視圖。

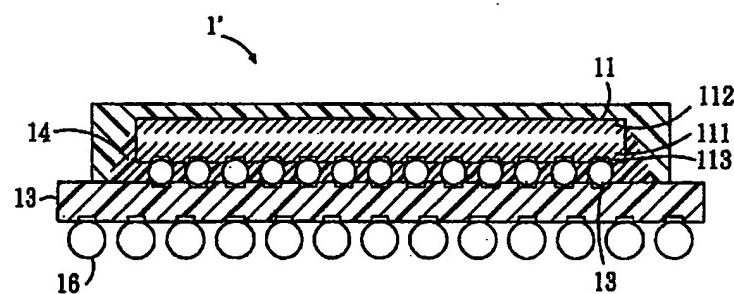


第一圖

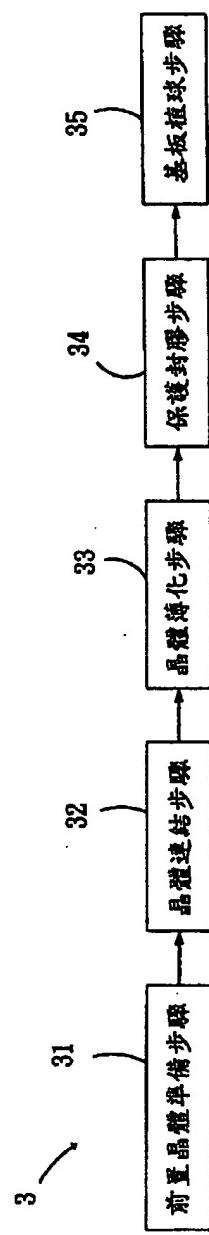
(4)



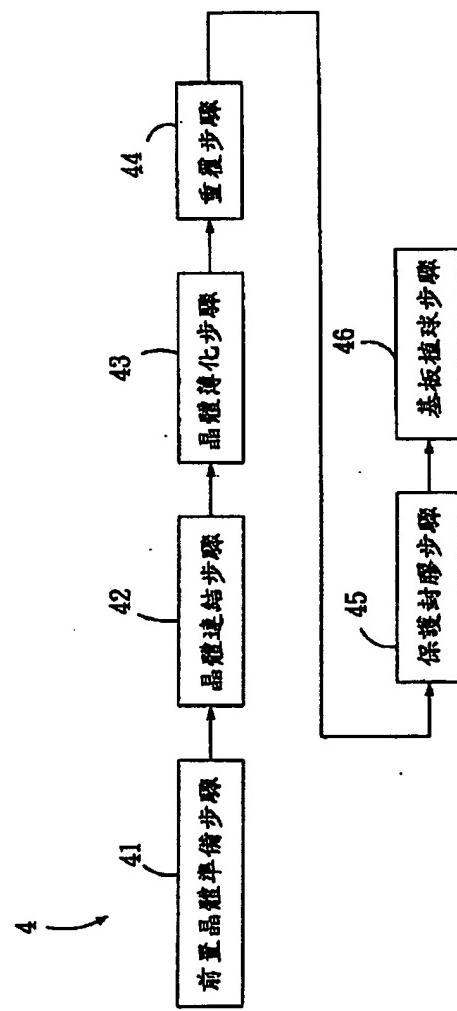
第二圖



第四圖

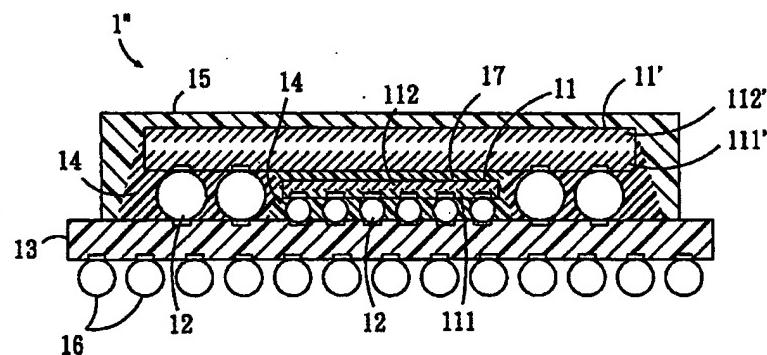


國二



第五圖

(6)



第六圖